

# METHOD FOR COVERING STEP PART OF SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE USING IT

**Patent number:** JP2001284734

**Publication date:** 2001-10-12

**Inventor:** KUNIYASU TOSHIAKI

**Applicant:** FUJI PHOTO FILM CO LTD

**Classification:**

**- international:** G02B6/13; H01L21/28; H01L21/31; H01L21/316; H01L33/00; H01S5/227; G02B6/13; H01L21/02; H01L33/00; H01S5/00; (IPC1-7): H01S5/227; G02B6/13; H01L21/28; H01L21/31; H01L21/316; H01L33/00

**- european:**

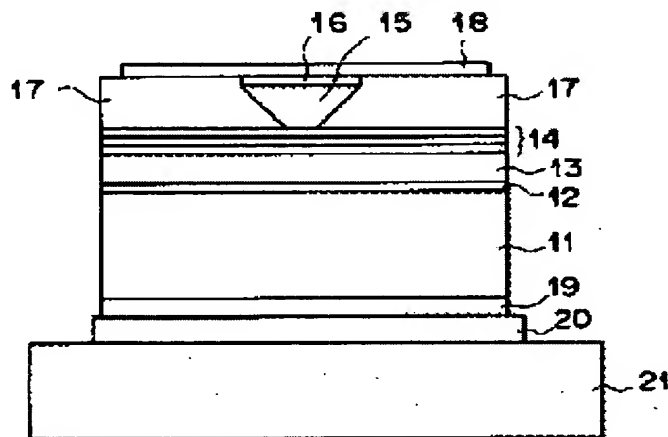
**Application number:** JP20000091458 20000329

**Priority number(s):** JP20000091458 20000329

[Report a data error here](#)

## Abstract of JP2001284734

**PROBLEM TO BE SOLVED:** To cover the inverse-mesa-shaped step part of a semiconductor device without generating any cavities. **SOLUTION:** By the plasma CVD method using tetramethoxysilane and an oxygen gas, the inverse mesa-shaped step part is covered.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号  
特開2001-284734  
(P2001-284734A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
H 0 1 S 5/227		H 0 1 S 5/227	2 H 0 4 7
G 0 2 B 6/13		H 0 1 L 21/28	3 0 1 C 4 M 1 0 4
H 0 1 L 21/28	3 0 1	21/31	C 5 F 0 4 1
21/31		21/316	X 5 F 0 4 5
21/316		33/00	A 5 F 0 5 8
審査請求 未請求 請求項の数 4 O L (全 7 頁) 最終頁に続く			

(21) 出願番号 特願2000-91458 (P2000-91458)

(22) 出願日 平成12年3月29日 (2000. 3. 29)

(71) 出願人 000005201

富士写真フイルム株式会社  
神奈川県南足柄市中沼210番地

(72) 発明者 国安 利明

神奈川県足柄上郡開成町宮台798番地 富  
士写真フイルム株式会社内

(74) 代理人 100073184

弁理士 柳田 征史 (外1名)

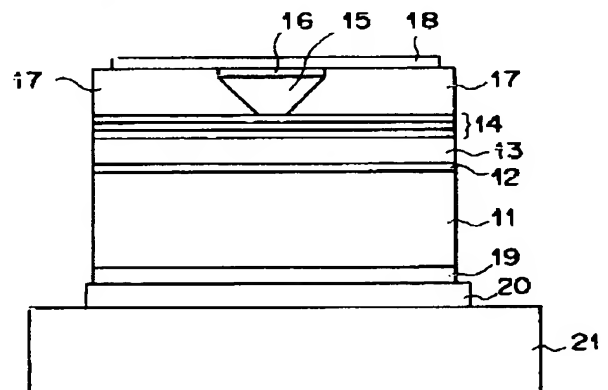
最終頁に続く

(54) 【発明の名称】 半導体素子の段差部被覆方法およびそれを用いた半導体素子

(57) 【要約】

【課題】 半導体素子の逆メサ形状の段差部を、空洞が生じることなく被覆する。

【解決手段】 テトラエトキシシランと酸素ガスを用いたプラズマCVD法により、逆メサ形状の段差を被覆する。



## 【特許請求の範囲】

【請求項1】 半導体素子の逆メサ形状の段差部に、テトラエトキシシランと酸素ガスをを用いたプラズマCVD法により、 $\text{SiO}_2$ 膜を被覆することを特徴とする半導体素子の段差部被覆方法。

【請求項2】 前記 $\text{SiO}_2$ 膜を、前記段差部の段差以上の厚さ成膜することを特徴とする請求項1記載の半導体素子の段差部被覆方法。

【請求項3】 半導体素子の逆メサ形状の段差部に、テトラエトキシシランと酸素ガスをを用いたプラズマCVD法により、 $\text{SiO}_2$ 膜を、前記段差部の段差以上の厚さ成膜し、該 $\text{SiO}_2$ 膜の上にレジストを表面が平坦になるまで形成し、前記逆メサ形状の上端が露出するまで全面エッチバックを行い、表面を平坦化することを特徴とする半導体素子の段差部被覆方法。

【請求項4】 請求項1から3のいずれか1項記載の半導体素子の段差部被覆方法により、逆メサ形状の段差部が被覆されていることを特徴とする半導体素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体素子の段差部被覆方法およびそれをを用いた半導体素子に関し、特に、逆メサ形状の段差部を有する半導体素子の段差部被覆方法およびそれをを用いた半導体素子に関するものである。

## 【0002】

【従来の技術】半導体シングルモードレーザにおいて、単一モードを得る為に光導波領域を2~4 $\mu\text{m}$ の狭幅にする必要があり、その製造方法としては、製造工程が単純で容易なリッジ構造が採用されている。このような狭リッジ構造は、フォトリソエッチング方式でエッチングマスクを加工し、光導波領域外の部分をウェットエッチングして形成している。この際、エッチングされた側面形状は結晶方位によって順メサもしくは逆メサ形状をとる。順メサの場合、リッジ底面幅に対して上面幅は狭くなり、電流が注入される面積が小さくコンタクト抵抗の上昇が生じる。また、順メサ方向と90度交差した方向にストライプをレイアウトした場合は、リッジ底面に対して上面幅は広がり、逆メサ形状が得られる。逆メサの場合、電流注入面積が順メサに対して広くなり、低コンタクト抵抗が得られるという利点がある。しかし、本出願人の研究により、リッジ底面付近の絶縁膜および電極の被覆性が悪く電極が断線する、あるいは絶縁膜の被覆不良で電極材が直接リッジ底面に接触して拡散による活性層等の結晶劣化が生じるが確認されている。また、リッジ上面の絶縁膜を選択的に除去し、その後形成される電極材をリッジ上面と接触させる工程においては、半導体のフォトリソグラフィ法によるレジストパターンを形成する過程で、リッジ上部に設ける開口部分が横にズレて、その結果、底面の絶縁膜が除去された上に電極が

形成され、リッジ横に発光領域が形成されるといった問題が生じることも確認されている。これはフォトリソグラフィ法の露光時の基板とフォトマスクの重ね合わせ精度に依存する問題であり、これを解決するために、基板とフォトマスクのズレ量を見込んだフォトマスクの開口寸法の狭化といった方法も考えられるが、開口部寸法が狭まると同時に電極材との接触抵抗が上昇するという問題がある。

【0003】上記問題を解決するために、特開平1-196892号において、逆メサ形状をドライエッチングで垂直形状に加工したり、ウェットエッチングで順メサ形状に加工形成し、プラズマCVD装置で $\text{SiO}_2$ 絶縁膜を電流注入領域以外に形成することが開示されている。しかし、ドライエッチング手法を用いてリッジ形状を垂直に加工する方法では、2~4 $\mu\text{m}$ の発光幅と同様の電流注入幅では前述した接触抵抗の上昇が発生すること、ドライエッチングのプラズマダメージによる結晶品質の低下に伴う信頼性の低下が生じてしまうことなどが問題となる。

【0004】電極との接触抵抗の低減する方法については、特開平11-4041号において、リッジ形成と電流狭窄を同時に作製することにより、電極との接触抵抗の低減および工程の削減が実現されることが記載されているが、逆メサ形状では、上記のように、絶縁膜の被覆が完全に行われない等の問題が生じる。

【0005】また、逆メサ形状にリッジ加工した後に、MOCVDあるいはMOVPE装置による電流狭窄層をエビ再成長により埋め込みを行い平坦化するという方法があるが、逆メサ底面の食い込み部分にすが入ってしまい、良好な埋め込みが行われず、自然酸化膜による埋め込み不良領域が形成され欠陥が生じるといった問題があり、製造適性が万全というわけではない。

【0006】そこで、微細なパターンの平坦化方法としては、特開平6-13367号に記載されているようなTEOS（テトラエトキシシラン）を用いた酸化膜成長に加えて、プラズマCVD（Chemical Vapor Deposition）法による酸化膜成長、スピン・オン・グラスあるいはポリイミド蒸着とエッチバックを用いて平坦化する方法が記載されているが、逆メサ形状に関しては記述がない。

## 【0007】

【発明が解決しようとする課題】上記のように、逆メサ形状を有する半導体素子、特に、開口面積が発振領域幅より広い逆メサ形状のリッジを有する半導体レーザ素子においては、絶縁膜および電極の被覆性が悪いという問題がある。特に、電極材の被覆性は絶縁膜形成後の形状に依存するため、良好な絶縁膜形成が必要とされる。

【0008】本発明は上記事情に鑑みて、半導体素子の逆メサ形状の段差部を、高信頼性で、かつ平易な工程で酸化膜を被覆する半導体素子の段差部被覆方法およびそれをを用いた半導体素子を提供することを目的とするものである。

【0009】

【課題を解決するための手段】本発明の半導体素子の段差部被覆方法は、半導体素子の逆メサ形状の段差部に、テトラエトキシシランと酸素ガスを用いたプラズマCVD (Chemical Vapor Deposition) 法により、 $\text{SiO}_2$ 膜を被覆することを特徴とするものである。

【0010】 $\text{SiO}_2$ 膜は、段差部の段差以上の厚さ成膜することが望ましい。

【0011】また、本発明の半導体素子の段差部被覆方法は、逆メサ形状の段差部に、テトラエトキシシランと酸素ガスを用いたプラズマCVD法により、 $\text{SiO}_2$ 膜を、段差部の段差以上の厚さ成膜し、該 $\text{SiO}_2$ 膜の上にレジストを表面が平坦になるまで形成し、逆メサ形状の上端が露出するまで全面エッチバックを行い、表面を平坦化することを特徴とするものである。

【0012】また、本発明の半導体素子は、上記構成による半導体素子の段差部被覆方法により、逆メサ形状の段差部が被覆されていることを特徴とするものである。

【0013】

【発明の効果】本発明の半導体素子の段差部被覆方法は、半導体素子の逆メサ形状の段差部に、テトラエトキシシランと酸素ガスを用いたプラズマCVD法により、 $\text{SiO}_2$ 膜を被覆するものである。逆メサ部のくびれ部分に空洞を生じさせることなく、 $\text{SiO}_2$ 膜を被覆することができる。よって、前述したように、従来の問題であった、フォトリソグラフィパターンのずれ等が生じることがないので、所望のパターンを精度良く形成することができ、信頼性を向上させることができる。特に、逆メサ形状の上面に電氣的接触を得るための窓開けの工程を有する場合、パターンずれが起こらないので、精度良く窓を形成することができる。

【0014】また、本発明の半導体素子の段差部被覆方法によれば、逆メサ部のくびれ部分に空洞が生じないので、半導体素子の発熱がその空洞に蓄積することがなく、良好に外部へ放熱させることができ、半導体素子の寿命を伸ばすことができる。

【0015】また、テトラエトキシシランと酸素ガスを用いたプラズマCVD法により形成された $\text{SiO}_2$ 膜は、膜質が緻密であるため、絶縁性の膜として良好な性質が得られるので、高い信頼性が得られる。

【0016】また、本発明の段差部被覆方法によれば、逆メサ形状の段差部に、テトラエトキシシランと酸素ガスを用いたプラズマCVD法により、 $\text{SiO}_2$ 膜を、段差部の段差以上の厚さ成膜し、該 $\text{SiO}_2$ 膜の上にレジストを表面が平坦になるまで形成し、逆メサ形状の上端が露出するまで、全面エッチバックを行い表面を平坦化しているので、その上に形成されるものが、被覆性あるいは段差の影響をうけることがなく、高い信頼性を得ることができる。

【0017】また、本発明の半導体素子によれば、本発

明の半導体素子の被覆方法により形成されたものである。上記のように、高い信頼性を得ることができる。

【0018】

【発明の実施の形態】以下に本発明の実施の形態を図面を用いて詳細に説明する。

【0019】本発明の第1の実施の形態による屈折率導波型リッジ半導体レーザについて説明し、その半導体レーザの断面図を図1に示す。

【0020】図1に示すように、n-GaAs基板11( $\text{Si}=2 \times 10^{18} \text{cm}^{-3}$  ドープ)上に、n-GaAsバッファ層12( $\text{Si}=1 \times 10^{18} \text{cm}^{-3}$  ドープ、厚さ $0.5 \mu\text{m}$ )、n- $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ クラッド層13( $\text{Si}=1 \times 10^{18} \text{cm}^{-3}$  ドープ、厚さ $2.5 \mu\text{m}$ )、アンドロフSCH活性層14、p- $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ クラッド層15( $\text{Zn}=1 \times 10^{18} \text{cm}^{-3}$  ドープ、厚さ $1 \mu\text{m}$ )、p-GaAsキャップ層16( $\text{Zn}=3 \times 10^{19} \text{cm}^{-3}$  ドープ、厚さ $0.3 \mu\text{m}$ )を減圧MOCVD法により積層する。SCH活性層14の層構成は、n-GaAs基板11側から、 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 光ガイド層(アンドロフ、厚さ $0.05 \mu\text{m}$ )、 $\text{Al}_{0.05}\text{Ga}_{0.95}\text{As}$ 量子井戸(アンドロフ、厚さ $8 \text{nm}$ )および $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 光ガイド層(アンドロフ、厚さ $0.05 \mu\text{m}$ )からなるものである。その後、フォトリソグラフィ法により逆メサ方向にストライプが形成されるようにレジストマスクを作製し、酒石酸/ $\text{H}_2\text{O}_2$ / $\text{H}_2\text{O}$ 混合液でp- $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ クラッド層15をエッチングして、リッジ(底面 $3 \mu\text{m}$ 幅、上面 $5 \mu\text{m}$ 幅)を形成する。

【0021】次に、レジストマスクを除去し、ソースにTEOS(テトラエトキシシラン)と $\text{O}_2$ ガスを用いたプラズマCVDにより、 $\text{SiO}_2$ 膜17をリッジ段差分( $1 \mu\text{m}$ 程度)形成し、再度フォトリソグラフィ法によりリッジ上部を開口させ、バッファードフッ酸(BHF)で $\text{SiO}_2$ 膜17をエッチングし、レジスト剥離を行なう。次に、p側電極(Ti(500Å)/Pt(500Å)/Au(2000Å))18を形成し、 $400^\circ\text{C}$ 以上でシンターしてオーミック電極とする。その後 $100 \mu\text{m}$ 厚に研磨を行い、AuGe/Ni/Auからなるn電極19を形成し、 $350^\circ\text{C}$ でシンターしてオーミック電極とする。

【0022】上記のように作製された試料をバー状に1次劈開した後に、前面に反射率10%以下のLRコーティング、後面に95%以上のHRコーティングを施し、p側電極側のAuを除去した部分に、スクライブ傷を設けて劈開を行いチップ化し、ヒートシンク21上にn電極側をInロウ材20を用いてボンディングする。

【0023】本実施の形態による半導体レーザは、TEOSと $\text{O}_2$ ガスを用いたプラズマCVDにより逆メサ部が、逆メサ部のくびれ部分に空洞等を生じず、良好に埋めこまれているため、高い信頼性が得られている。よって、安定に高歩留まりで半導体レーザが得られることが確認されている。

【0024】次に本発明の第2の実施の形態による屈折率導波型リッジ半導体レーザについて説明し、その断面図を図2に示す。

【0025】図2に示すように、n-GaAs基板31( $\text{Si}=2 \times 1$

$0.18\text{ cm}^{-3}$  ドープ) 上に、n-GaAs バッファ層32 ( $\text{Si}=1\times 10^{18}\text{ cm}^{-3}$  ドープ、厚さ $0.5\mu\text{m}$ )、n- $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$  クラッド層33 ( $\text{Si}=1.5\times 10^{18}\text{ cm}^{-3}$  ドープ、厚さ $2.5\mu\text{m}$ )、アンドープSCH活性層34、p- $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$  クラッド層35 ( $\text{Zn}=1\times 10^{18}\text{ cm}^{-3}$  ドープ、厚さ $1.2\mu\text{m}$ )、p-GaAs キャップ層36 ( $\text{Zn}=3\times 10^{19}\text{ cm}^{-3}$  ドープ、厚さ $0.2\mu\text{m}$ ) を減圧MOCVD法により積層する。SCH活性層34の層構成は、n-GaAs基板31側から、GaAs光ガイド層 (アンドープ、厚さ $70\text{nm}$ )、 $\text{In}_{0.05}\text{Ga}_{0.95}\text{As}$ 量子井戸 (アンドープ、厚さ $8\text{nm}$ )、GaAs光ガイド層 (アンドープ、厚さ $0.05\mu\text{m}$ ) である。

【0026】次に、フォトリソグラフィ法により、逆メサ方向にストライプが形成されるようにレジストマスクを作製し、酒石酸/ $\text{H}_2\text{O}_2$ / $\text{H}_2\text{O}$ 混合液でp-GaAsキャップ層をエッチングする。レジスト剥離した後、HClでp- $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$  クラッド層35をエッチングしてリッジ (底面 $3\mu\text{m}$ 幅、上面 $5.4\mu\text{m}$ 幅) を形成する。その後レジストマスクを除去し、ソースにTEOSと $\text{O}_2$ ガスをを用いたプラズマCVDにより、 $\text{SiO}_2$ 膜37をリッジ段差分 ( $1\mu\text{m}$ 程度) 形成し、レジスト膜をスピコートする。

【0027】この状態でRIEでレジストと $\text{SiO}_2$ の選択比が小さい条件で、リッジ上面が開口するところまで全面エッチング (エッチバック) を行い、レジスト剥離を行った後、p側電極38 ( $\text{Ti}$  (500Å)/ $\text{Pt}$  (500Å)/ $\text{Au}$  (2000Å)) を形成し、 $400^\circ\text{C}$ 以上でシンターして、オーミック電極とする。その後、 $100\mu\text{m}$ 厚に研磨を行い、 $\text{AuGe/Ni/Au}$ によってn電極39を形成し、 $350^\circ\text{C}$ でシンターして、オーミック電極とする。

【0028】上記のように作製された試料をバー状に1次劈開した後に、前面に反射率10%以下のLRコーティング、後面に95%以上のHRコーティングを施し、p側電極のAuを除去した部分にスクライブ傷を設けて劈開を行い、チップ化した後、ヒートシンク41上にp側電極側をInロウ材40を用いてP-DOWNボンディング (p側電極側をヒートシンクにボンディングすること) する。この半導体レーザの信頼性については、安定で高歩留まりのものが得られることが確認されている。

【0029】本実施の形態のように、活性層に近い面をヒートシンク等ボンディングする場合は、ボンディング面が平坦化されていることにより、歪が生じないので、活性領域にその歪が伝わることがないので、高い性能と信頼性を得ることができる。また、平坦化されていることにより、ジャンクションダウンでボンディングする場合は、ロウ材との接着が良好であるため、放熱が向上し、高信頼性が得られる。

【0030】次に、本発明の第3の実施の形態によるMOPA型半導体レーザについて説明し、その斜視図を図3に示す。図3に示すように、n-GaAs基板51 ( $\text{Si}=2\times 10^{18}\text{ cm}^{-3}$  ドープ) 上に、n-GaAs バッファ層52 ( $\text{Si}=1\times 10^{18}\text{ cm}^{-3}$  ドープ、厚さ $0.5\mu\text{m}$ )、n- $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$  クラッド層53 ( $\text{Si}=1\times 10^{18}\text{ cm}^{-3}$  ドープ、厚さ $2.5\mu\text{m}$ )、アンドープSCH活性

層54、p- $\text{Al}_{0.1}\text{Ga}_{0.9}\text{As}$  グレーティング層 (厚さ $0.15\mu\text{m}$ ) 55を減圧MOCVD法により積層する。

【0031】次に、マスターオシレーター部61に、干渉露光法によるフォトリソパターンの形成と $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}=20:1:1$ のエッチャントによるエッチングで、DBRグレーティング64を形成し、レジストを剥離した後、p- $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$  クラッド層56 ( $\text{Zn}=1\times 10^{18}\text{ cm}^{-3}$  ドープ、厚さ $1\mu\text{m}$ )、p-GaAsキャップ層57 ( $\text{Zn}=3\times 10^{19}\text{ cm}^{-3}$  ドープ、厚さ $0.3\mu\text{m}$ ) を再成長した。SCH活性層54の層構成は、n-GaAs基板51側から $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 光ガイド層 (アンドープ、厚さ $0.05\mu\text{m}$ )、 $\text{Al}_{0.05}\text{Ga}_{0.95}\text{As}$ 量子井戸 (アンドープ、厚さ $8\text{nm}$ ) および $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 光ガイド層 (アンドープ、厚さ $0.05\mu\text{m}$ ) である。

【0032】その後、マスターオシレーター部61のDBRグレーティング64が形成された領域に逆メサ方向にストライプが形成されるようにフォトリソグラフィ法によりレジストマスクを作製し、酒石酸/ $\text{H}_2\text{O}_2$ / $\text{H}_2\text{O}$ 混合液でエッチングして、2本の溝を形成して逆メサ状のリッジ部 (底面 $3\mu\text{m}$ 、上面 $5\mu\text{m}$ 幅) を形成する。(図中62) リッジを形成する為の溝幅は $10\mu\text{m}$ である。

【0033】その後、レジストマスクを除去し、ソースにTEOSと $\text{O}_2$ ガスをを用いたプラズマCVDによる $\text{SiO}_2$ 膜58をリッジ段差分 ( $1\mu\text{m}$ 程度) 形成し、再度フォトリソグラフィ法によりリッジ部62の上部とテーパー増幅部分63を開口させ、バッファードフッ酸 (BHF) で $\text{SiO}_2$ 膜58をエッチングする。その後、リフトオフ法により、リッジ部62の上部とテーパー増幅部分63に選択的にp側電極 ( $\text{Ti}$  (500Å)/ $\text{Pt}$  (500Å)/ $\text{Au}$  (2000Å)) 59を形成する。 $400^\circ\text{C}$ 以上でシンターしてオーミック電極とする。その後、 $100\mu\text{m}$ 厚に研磨を行い、 $\text{AuGe/Ni/Au}$ からなるn電極60を形成し、 $350^\circ\text{C}$ でシンターしてオーミック電極を形成する。

【0034】この試料をバー状に1次劈開した後、前面に反射率1%以下のARコーティング、後面に95%以上のHRコーティングを施し、p側電極のAuを除去した部分にスクライブ傷を設けて劈開を行い、チップ化した後、ヒートシンク67上にn側電極側をInロウ材 (図示せず) を用いてボンディングした。これらの素子信頼性を確認したところ、安定で高出力、高歩留まりのものが得られることが確認されている。

【0035】ここで、図4(a)に、TEOSと $\text{O}_2$ ガスをを用いたプラズマCVD法により形成される $\text{SiO}_2$ 膜の成膜比と食い込み量の関係を示す。図4(b)に逆メサ形状の断面図を示す。成膜比は、リッジ段差をx、成膜厚をyとすると、 $y/x$ で示される。食い込み量zとは、リッジ部の端に形成された $\text{SiO}_2$ 膜の端から $\text{SiO}_2$ 膜がくびれた頂点までの幅である。図4(a)から、成膜比が大きくなるに従って、食い込み量zも徐々に減少し、ついにリッジ段差と同等な厚さになると、食い込み量zがゼロになり、食い込み部分は埋め込まれ消滅することがわかる。食い込みが減少する理由は基板表面のマイグレーションが大きい

ことがあげられる。成膜厚さが増大しマイグレーションが継続して行われることによって、リッジ段差と同等な成膜厚さに到達した時点で食い込みが消滅する。つまり、TEOSと $O_2$ ガスを用いたプラズマCVD法では、逆メサ形状のくびれ部分を良好に埋めこむことができる。

【0036】次に、TEOSと $O_2$ ガスを用いたプラズマCVD法により形成された $SiO_2$ 膜と従来の $SiH_4$ ガスを用いたプラズマCVD法により形成された $SiO_2$ 膜の成膜厚とエッチング時間の関係について説明し、そのグラフを図5に示す。この $SiO_2$ 膜は平坦な下地に成膜したものである。aがTEOSと $O_2$ ガスを用いたプラズマCVD法により形成された $SiO_2$ 膜について示すものであり、bが従来の $SiH_4$ ガスを用いたプラズマCVD法により形成された $SiO_2$ 膜について示すものである。

【0037】図5に示すように、例えば、リッジ段差分程度の100nmの膜をエッチングするには、従来のプラズマCVD法では、55秒必要であるが、TEOSと $O_2$ ガスを用いたプラズマCVD法では、70秒必要であることがわかる。よって、TEOSと $O_2$ ガスを用いたプラズマCVD法で形成された $SiO_2$ 膜は緻密であり、良好な絶縁性を有する膜が形成されていることがわかる。

【0038】なお、上記第1の実施の形態および第3の実施の形態においては、逆メサ部上部の開口はフォトリソグラフィ法により行っているが、本実施の形態のように、酸化膜とレジストを形成し全面エッチバックすることにより開口してもよい。

【0039】また、本発明は、上記実施の形態の半導体レーザに限らず、逆メサ形状で絶縁膜が均一に形成されないような領域を有する半導体素子に適用することがで

き、上記同様にくびれ部分に空洞が生じず、良好に絶縁膜を被覆できる。上記半導体素子とは、半導体レーザ、半導体発光素子、LED、光導波路、半導体集積回路あるいは光集積回路等が挙げられる。また、半導体レーザの組成については、AlGaAs系、InGaP系、InP系またはGaAs系の材料からなるものが挙げられる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体レーザを示す断面図

【図2】本発明の第2の実施の形態による半導体レーザを示す断面図

【図3】本発明の第3の実施の形態による半導体レーザを示す断面図

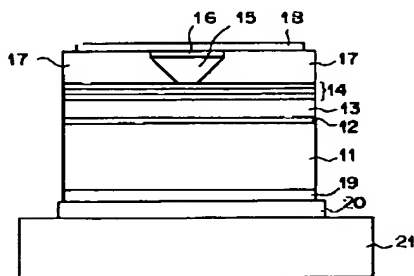
【図4】成膜比と食い込み量の関係を示すグラフ

【図5】TEOS/ $O_2$ 成長法とプラズマCVD法により形成された $SiO_2$ の膜厚とエッチング時間の関係を示すグラフ

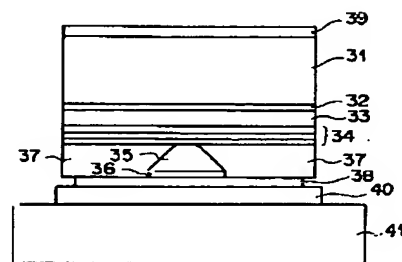
#### 【符号の説明】

- 11 n-GaAs基板
- 12 n-GaAsバッファ層
- 13 n- $Al_{0.5}Ga_{0.5}As$ クラッド層
- 14 アンダーソープSCH活性層
- 15 p- $Al_{0.5}Ga_{0.5}As$ クラッド層
- 16 p-GaAsキャップ層
- 17 酸化膜
- 18 p側電極
- 19 n電極
- 20 ろう材
- 21 ヒートシンク

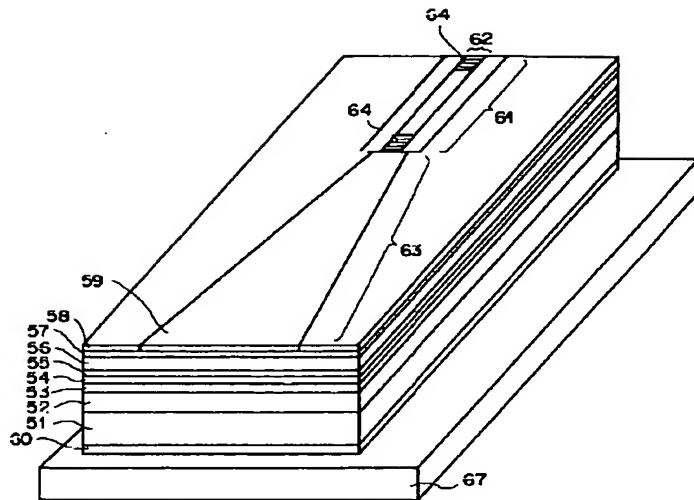
【図1】



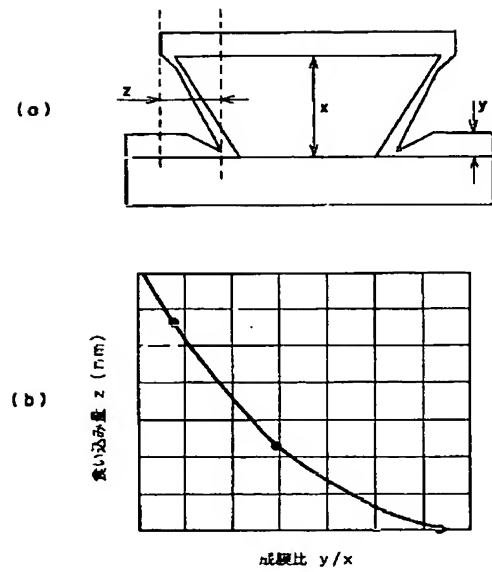
【図2】



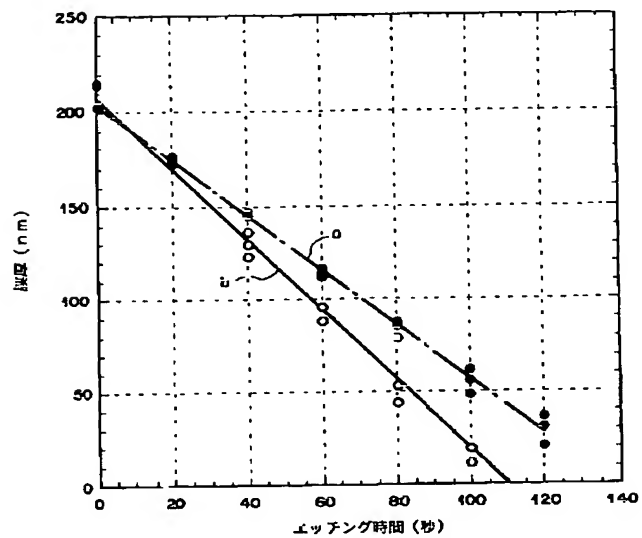
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl.<sup>7</sup>  
H01L 33/00

識別記号

FI  
G02B 6/12

(参考)  
M 5F073

Fターム(参考) 2H047 KA05 MA07 PA05 PA06 PA24  
QA02 RA08 TA05 TA42 TA44  
4M104 AA04 AA05 BB10 BB14 CC01  
DD09 DD16 DD68 DD79 EE01  
EE14 GG04 HH12 HH13  
5F041 CA04 CA05 CA34 CA35 CA36  
CA40 CA65 CA74 CB04  
5F045 AA04 AA08 AB10 AB17 AB32  
AC07 AC11 AF04 CA12 DA53  
DA55 GH09 HA14 HA16  
5F058 BA09 BB01 BC02 BF07 BF25  
BF29 BH11 BJ06  
5F073 AA13 AA46 AA65 AA73 CA05  
CB07 CB11 DA23 DA35 FA16  
FA22

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**